

Patent Abstracts of Japan

PUBLICATION NUMBER : 08102538
PUBLICATION DATE : 16-04-96

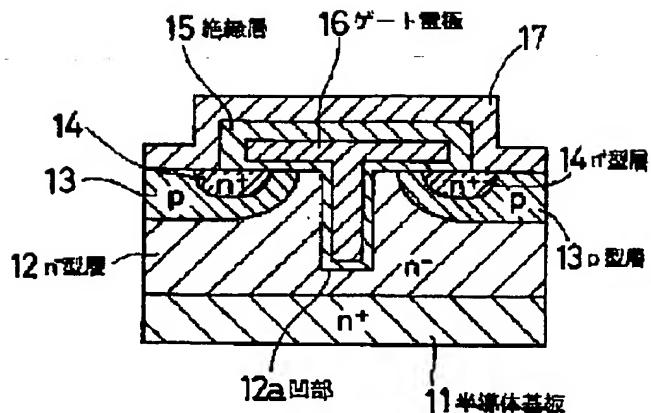
APPLICATION DATE : 26-07-95
APPLICATION NUMBER : 07190621

APPLICANT : TOYOTA MOTOR CORP;

INVENTOR : KUSHIDA TOMOYOSHI;

INT.CL. : H01L 29/78

TITLE : FIELD EFFECT TYPE SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To reduce ON-resistance of a field effect type semiconductor device.

CONSTITUTION: A field effect type semiconductor device has semiconductor regions 11, 12 of one conductivity type to become a drain wherein a recessed part 12a is formed in a surface, a semiconductor region 13 of the other conductivity type which is formed in a region at a specified distance from the recessed part 12a in a surface of the semiconductor regions 11, 12, a semiconductor region 14 of one conductivity type which is formed inside the semiconductor region 13 of the other conductivity type and becomes a source and a gate electrode 16 which is applied to a surface of the semiconductor region 13 of the other conductivity type interleaving an insulation layer 15 and attains the recessed part 12a.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-102538

(43)公開日 平成8年(1996)4月16日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78		9055-4M	H 01 L 29/ 78	6 5 2 K
		9055-4M		6 5 2 J
		9055-4M		6 5 3 A

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21)出願番号 特願平7-190621

(22)出願日 平成7年(1995)7月26日

(31)優先権主張番号 特願平6-180209

(32)優先日 平6(1994)8月1日

(33)優先権主張国 日本 (JP)

(71)出願人 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(72)発明者 柳田 知義

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

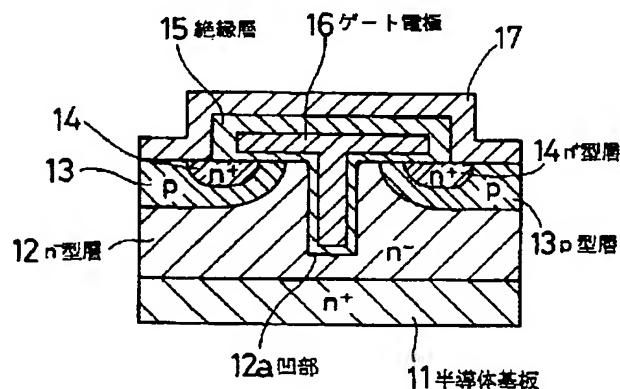
(74)代理人 弁理士 岡田 英彦 (外1名)

(54)【発明の名称】電界効果型半導体装置

(57)【要約】

【課題】電界効果型半導体装置のオン抵抗を低減すること。

【解決手段】表面に凹部12aが形成された、ドレンとなる一導電型半導体領域11、12と、その一導電型半導体領域11、12の表面において、前記凹部12aから所定距離離れた領域に形成された他導電型半導体領域13と、該他導電型半導体領域13内に形成された、ソースとなる一導電型半導体領域14と、絶縁層15を介した状態で、前記他導電型半導体領域13の表面を皮膜し、前記凹部12aに達するゲート電極16とを有する電界効果型半導体装置。



【特許請求の範囲】

【請求項1】 一導電型半導体ソース領域と、一導電型半導体ドレイン領域と、前記ソース領域とドレイン領域の間に設けられた他導電型半導体領域と、前記他導電型半導体領域に絶縁層を介して隣接するように設けられたゲート電極を備えた電界効果型半導体装置において、前記ゲート電極のうち前記ドレイン領域側部分が前記ゲート電極のうち前記ドレイン領域側部分以外の部分よりも導電率が低いことを特徴とする電界効果型半導体装置。

【請求項2】 一導電型半導体ソース領域と、一導電型半導体ドレイン領域と、前記ソース領域と前記ドレイン領域の間に設けられた他導電型半導体領域と、前記他導電型半導体領域及び前記ドレイン領域に絶縁層を介して隣接するように設けられたゲート電極とを備え、該ゲート電極は、一導電型半導体で形成され、前記ドレイン領域と他の他導電型半導体領域を介して接続されていることを特徴とする電界効果型半導体装置。

【請求項3】 表面に凹部が形成された、ドレンとなる一導電型半導体領域と、その一導電型半導体領域の表面において、前記凹部から所定距離離れた領域に形成された他導電型半導体領域と、該他導電型半導体領域内に形成された、ソースとなる一導電型半導体領域と、絶縁層を介した状態で、前記他導電型半導体領域の表面を皮膜し、前記凹部に達するゲート電極とを有する電界効果型半導体装置。

【請求項4】 前記ゲート電極の導電率が、前記凹部の底部において他部よりも低いことを特徴とする請求項3記載の電界効果型半導体装置。

【請求項5】 前記凹部の少なくとも下部において、前記ゲート電極が一導電型半導体で形成されており、その一導電型ゲート電極と前記一導電型ドレイン領域とが他導電型半導体領域を介して接続されていることを特徴とする請求項3記載の電界効果型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電界効果型半導体装置に関し、特にオン抵抗を低減できる電界効果型半導体装置に関するものである。

【0002】

【従来の技術】 図12は従来のプレーナタイプの電界効果型半導体装置の断面構造を示している。これは実開昭63-124762号公報において従来技術として示されているものである。図12において、 n^+ 型半導体基板111の上に n^- 型層112がエピタキシャル法により積層形成されている。この n^+ 型半導体基板111及び n^- 型層112はドレインとなる。円形状p型層113が n^- 型層112の表面側に拡散形成され、更にソースとなるリング状 n^+ 型層114がp型層113の表面

15を介して n^- 型層112と n^+ 型層114の間に位置するp型層113の表面側を覆うように形成されている。なお、 L_G はゲート長である。ソース電極117は n^+ 型層114及び n^+ 型層114よりも外側に位置するp型層113にオーミック接続されている。

【0003】 この場合、ゲート電極116に正電圧を印加すると、p型層113のゲート電極116側（表面側）にチャネルとなる反転層が形成され、ソース領域114とドレイン領域112間がオンする。このオン時の

10ソース・ドレイン間抵抗は、このチャネルの抵抗 R_{ch1} 、 n^- 型層112のゲート電極116側の抵抗 R_{acc1} 、寄生縦型電界効果トランジスタのチャネル抵抗 R_{JFET1} 及び上記各抵抗以外の n^- 型層112の抵抗 R_{drift1} の総和となる。ここで、抵抗 R_{acc1} は、 n^- 型層112の表面の電荷蓄積層の抵抗である。ゲート電極116に正電圧を印加すると、 n^- 型層112の表面側領域は、電子が蓄積され、抵抗が低くなる。この領域を電荷蓄積層という。ソース電極117に電圧が印加されると、図示左方のp型層113からは右方に空乏層が拡がり、図示右方のp型層113からは左方に空乏層が拡がり、この両空乏層の間に寄生接合トランジスタのチャネルが形成される。抵抗 R_{JFET1} は、このようにして形成される寄生接合トランジスタの抵抗である。この寄生接合トランジスタ抵抗は集積度が向上して、ゲート長 L_G （チャネル幅X）が小さくなる程高くなる。

【0004】 図13は、従来のトレンチタイプの電界効果型半導体装置を示している。これは実開昭63-124762号公報に開示されているものである。図13において、 n^+ 型半導体基板121の上にドレインとなる n^- 型層122がエピタキシャル法により形成されている。更に、p型層123が n^- 型層122の上に形成され、ソースとなる n^+ 型層124がp型層123の表面側に拡散形成されている。ソース電極125は、 n^+ 型層124及びp型層123にオーミック接続されている。溝状凹部127は、 n^+ 型層124、p型層123を貫通し、 n^- 型層122に達するように形成されている。ゲート電極128は、絶縁層129を介して凹部127内に配置されている。ゲート電極128に正電圧が印加されると、p型層123の凹部127に接する領域40にチャネルが形成され、ソース124とドレイン122間が導通する。この電界効果型半導体装置のオン抵抗は、抵抗 R_{ch2} 、抵抗 R_{acc2} 及び抵抗 R_{drift2} の和になる。なお、抵抗 R_{ch2} は抵抗 R_{ch1} と同様のものであり、抵抗 R_{acc2} は抵抗 R_{acc1} と同様のものであり、抵抗 R_{drift2} は抵抗 R_{drift1} と同様のものである。この場合は、抵抗 R_{JFET1} に相当する抵抗は生じない。

【0005】

【発明が解決しようとする課題】 上述の図12に示すものでは、オン抵抗は、抵抗 R_{ch1} 、抵抗 R_{acc1} 、抵抗 R_{drift1}

I_{FET1} のために、前記オン抵抗は比較的高くなるという欠点があった。このため、前記オン抵抗を下げるため、単位面積当たりのセル密度を上げる、即ち前記ゲート長 L_g を短くして抵抗 R_{ch1} を低減しようとすると、逆に、ゲート幅 X が小さくなるので、抵抗 R_{FET1} が大きくなるため、オン抵抗をある程度以下にすることができなかった。また、上述の図 13 に示すものでは、凹部 127 を形成するために p 型層 123 や n^- 層 122 に対して RIE (Reactive Ion Etching) 等のエッチングを施すと、凹部 127 の側壁においてエッチングによるダメージが完全には除去されないので、チャネルにおけるキャリア移動度が低下する。このため、抵抗 R_{ch2} が高くなつて、予測通りにはオン抵抗が下がらないという欠点があった。したがつて、本願発明の一つの課題は、上述の従来例の欠点をなくし、オン抵抗が充分に小さくなる電界効果型半導体装置を提供することである。更に、本願発明の他の課題は、オン抵抗を低下させつつ、ゲート・ドレイン耐圧の向上をも図ることである。

【0006】

【課題を解決するための手段】上記課題を解決するため、本願の第 1 の発明の構成は、一導電型半導体ソース領域と、一導電型半導体ドレイン領域と、前記ソース領域とドレイン領域の間に設けられた他導電型半導体領域と、前記他導電型半導体領域に絶縁層を介して隣接するように設けられたゲート電極を備えた電界効果型半導体装置において、前記ゲート電極のうち前記ドレイン領域側部分が前記ゲート電極のうち前記ドレイン領域側部分以外の部分よりも導電率が低いことである。上記第 1 の発明の構成によると、ゲート電極のうちドレイン領域側部分がゲート電極の他の部分よりも導電率が低いので、ゲート電極のうちドレイン側部分における電界集中を緩和できる。このため、ゲート・ドレイン耐圧を向上させることができ、ゲートの絶縁膜の厚さを薄くすることができるため、オン抵抗を小さくすることができる。

【0007】更に、第 2 の発明の構成は、一導電型半導体ソース領域と、一導電型半導体ドレイン領域と、前記ソース領域と前記ドレイン領域の間に設けられた他導電型半導体領域と、前記他導電型半導体領域及び前記ドレイン領域に絶縁層を介して隣接するように設けられたゲート電極とを備え、該ゲート電極は、一導電型半導体で形成され、前記ドレイン領域と他の他導電型半導体領域を介して接続されていることを特徴とする電界効果型半導体装置である。上記第 2 の発明の構成によると、ゲート・ドレイン間にダイオード構造が形成され、ゲートとドレイン間にパンチスルーレ電圧以上の電圧が印加された場合、このダイオードがパンチスルーレしてゲート電位を上昇させ、電界効果型半導体装置をオンさせるので、電界効果型半導体装置が破壊されることを防ぐことができる。

【0008】更に、第 3 の発明の構成は、表面に凹部が

形成された、ドレインとなる一導電型半導体領域と、その一導電型半導体領域の表面において、前記凹部から所定距離離れた領域に形成された他導電型半導体領域と、該他導電型半導体領域内に形成された、ソースとなる一導電型半導体領域と、絶縁層を介した状態で、前記他導電型半導体領域の表面を皮膜し、前記凹部に達するゲート電極とを有する電界効果型半導体装置である。上記第 3 の発明の構成によると、基本的には上述の図 12 と同様のプレナタイプの電界効果型半導体装置が形成される。ただしこの場合、凹部内に絶縁層を介してゲート電極が伸びているので、ドレインとなる一導電型半導体領域の凹部に近い部分に電荷が集中した低抵抗部分が作られ、従来のプレナタイプの電界効果型半導体装置では避けられなかつた抵抗 R_{FET2} をなくすことができる。なお、トレンチタイプの電界効果型半導体装置とは異なり、凹部の側壁部にチャネルが形成されるものでないために、凹部形成のためのエッチングで凹部の側壁がダメージを受けても、それによってチャネル抵抗が高くなることはない。

【0009】更に、第 4 の発明の構成は、上記第 3 の発明の構成において、前記ゲート電極の導電率が、前記凹部の底部において他部よりも低いことである。上記第 4 の発明の構成によると、上記第 3 の発明の構成による作用とともに、ゲート電極のうち凹部の底部にある部分が高抵抗となって、前記凹部の底部のエッジにおける電界集中を緩和できるので、ゲート・ドレイン耐圧を向上させることができる。

【0010】更に、第 5 の発明の構成は、上記第 3 の発明の構成において、前記凹部の少なくとも下部において、前記ゲート電極が一導電型半導体で形成されており、その一導電型ゲート電極と前記一導電型ドレイン領域とが他導電型半導体領域を介して接続されていることである。上記第 5 の発明の構成によると、上記第 3 の発明の構成による作用とともに、ゲート・ドレイン間にダイオード構造が形成され、ゲートとドレイン間にパンチスルーレ電圧以上の電圧が印加された場合、このダイオードがパンチスルーレしてゲート電位を上昇させ、電界効果型半導体装置をオンさせるので、電界効果型半導体装置が破壊されることを防ぐことができる。

【0011】

【発明の実施の形態】図 1 は、本願発明の第 1 の実施の形態の断面構造を示す。第 1 の実施の形態は、請求項 3 に対応している。図 1 において、ドレインとなる一導電型半導体領域として、 n^+ 型半導体基板 11 の上に n^- 型層 12 がエピタキシャル法により形成されている。トレンチ構造用凹部 12a は n^- 型層 12 の表面側に形成されている。他導電型半導体領域としての p 型層 13 は、 n^- 型層 12 の表面側に拡散形成されている。更に、ソースとなる一導電型半導体領域として n^+ 層 14 が p 型層 13 の領域内においてその表面側に拡散形成さ

れている。なお、p型層13及びn⁺層14は凹部12aから所定距離離れて凹部12aを取り巻くようにリング状に形成されている。断面T形ゲート電極16は、絶縁層15を介してn⁺型層14よりも内側においてp型層13の表面を被膜しており、更に凹部12a内に伸びている。ソース電極17は、n⁺型層14及びこれよりも外側のp型層13にオーム接続している。なお、各電極16、17の材質は、アルミニウム等の金属、MOSi等のシリサイド、あるいは多結晶シリコン等の半導体である。

【0012】以上の構成により、凹部12a内に絶縁層15を介してT形ゲート電極16が配置されている。このため、従来例のような寄生緩型MOSトランジスタが形成されない。この結果、ゲート電極16に電圧を印加したときにn⁻型層12の凹部12aの近傍の部位に電荷が集中して、この部位の抵抗が低くなる。このため、上述の図12の構造では生じていたR_{FET}が生じない。なおこのため、上述の図12に示すものよりもオン抵抗を小さくできる。更に、チャネルは、p型層13内のp型不純物の横方向拡散による部分に形成されるので、凹部12a形成のための反応性イオンエッティング(RIE)によってチャネルがダメージを受けることがないため、チャネル抵抗が小さい。このため、オン抵抗が上述の図13に示すものよりも小さくなる。以上により、オン抵抗が上述の従来例よりも小さくなる。

【0013】図2は、第2の実施の形態の断面構造を示す。第2の実施の形態は、請求項1、3、4に対応し、上述の第1の実施の形態を改良したものである。図2にて、導電部材としてのT形ゲート電極26は、低抵抗ゲート電極26aと凹部22aの底部側部分としての高抵抗ゲート電極26bとからなる。低抵抗ゲート電極26aはT形であり、高抵抗ゲート電極26bは、低抵抗ゲート電極26aの下端に連結されている。なお、T形ゲート電極26は絶縁層25を介してp型層23の表面側から凹部22a内に配置されている。なお、前記図1に示すものと同等の部材には、図1と対応する符号(例えば図2における「21」が図1における「11」に対応する)を付して、その説明を省略する。

【0014】以上の構成により、上述の第1の発明の第1の実施の形態の作用をするとともに、T形ゲート電極26のうち凹部22aの底部側部分(高抵抗ゲート電極26b)が高抵抗であるので、凹部22aの底部のエッジにおける電界集中を緩和できるため、ゲート・ドレイン耐圧を向上できる。なお、低抵抗ゲート電極26aと高抵抗ゲート電極26bとの間の抵抗変化を傾斜的にしてもよい。このようにすると、低抵抗ゲート電極26aと高抵抗ゲート電極26bとの境界部の電界集中を緩和できるので、ゲート・ドレイン間耐圧が一層向上する。耐圧が高くなるとゲート絶縁膜の厚さを薄くすることが

れるので、絶縁膜を薄くすることにより、オン抵抗を小さくすることができる。

【0015】図3は、第3の実施の形態の断面構造を示す。第3の実施の形態は、請求項1、3、4に対応し、上記第2の実施の形態の変形例である。図3において、ゲート電極28以外の部分は図2に示すものと同じである。ゲート電極28は、T型p⁺型半導体領域28aとT型p⁺型半導体領域28aの底部に接するp⁻型半導体領域28bとからなる。T型p⁺型半導体領域28aは、図2における低抵抗ゲート電極26aに相当し、p⁻型半導体領域28bは、図2における高抵抗ゲート電極26bに相当する。このため、図3に示すものは、上記図2に示すものと同様に、上述の第1の発明の第1の実施の形態の作用をするとともに、ゲート電極28のうち凹部22aの底部側部分(p⁻型半導体領域28b)が高抵抗であるので、凹部22aの底部のエッジにおける電界集中を緩和できるため、ゲート・ドレイン耐圧を向上させることができる。

【0016】図4は、第4の実施の形態の断面構造を示す。第4の実施の形態は、請求項2、3、5に対応し、上記第1の実施の形態を改良したものである。図4において、T形ゲート電極36aは、そのうち少なくとも凹部32a内に位置する最も底の部分がn⁺型半導体で構成されている。そしてゲート電極36aのうちn⁺型半導体で構成されている部分とn⁺型半導体基板31との間にp型半導体領域36bが介在されている。このため、ゲート電極36aとn⁺型半導体基板31との間にダイオード構造が形成されることになる。なお、前記図1に示すものと同等の部材には、図1と対応する符号(例えば図4における「31」が図1における「11」に対応する)を付して、その説明を省略する。

【0017】以上の構成により、ゲート・ドレイン間に、p型半導体領域36bがパンチスルーする電圧以上の電圧が印加された場合、n⁺型ゲート電極36aとn⁺型ドレイン領域31との間がパンチスルーする。n⁺型ドレイン電極31の電位が異常に上昇した場合、DMOSがオンすることによってDMOSが破壊されることを防ぐことができる。更に、P型領域36bを追加しても、チップ面積が増加しない。なお、この構造において、p型半導体領域36bの厚さを加減することによって、前記パンチスルー電圧を調整することができる。更に、ゲート電極36aとドレイン31との間に直列に接続された複数のダイオードを形成してもよい。

【0018】図5は、第5の実施の形態の断面構造を示す。第5の実施の形態は、請求項3に対応し、上述の第1の実施の形態に半導体層を付加してIGBT(Insulated Gate Bipolar Transistor)としたものである。図5において、p⁺型層48の上にドレインとなるn型層41がエピタキシャル法により形成され、更にn型層41

7

により形成されている。なお、前記図1に示すものと同等の部材には、図1と対応する符号（例えば図5における「4 3」が図1における「1 3」に対応する）を付して、その説明を省略する。以上の構成により、 p^+ 型層4 8からn型層4 1及びn⁻ 型層4 2に少数キャリアを注入することによって、抵抗 R_{drift} を低減することができる。このため、高耐圧化のためにn⁻ 型層4 2を厚くしても、低いオン抵抗が実現可能となる。なお、n型層4 1は、ドレインに電圧を印加した場合にp型層4 3と p^+ 型層4 8がパンチスルーアクションを防ぐものである。

【0019】図6は、上述の各実施の形態の平面の第1の例の概略を示す。図6において、メッシュ状ゲート51の開孔部51aにn⁺型層52a及びp型層53aが露出している。同様に開孔部51bにn⁺型層52b及びp型層53bが露出し、開孔部51cにn⁺型層52c及びp型層53cが露出し、開孔部51dにn⁺型層52d及びp型層53dが露出している。図7は、上述の各実施の形態の平面の第2の例の概略を示す。図7において、n⁺型層62aが島状ゲート電極61aの周囲に露出している。同様にn⁺型層62bが島状ゲート電極61bの周囲に露出し、n⁺型層62cが島状ゲート電極61cの周囲に露出し、n⁺型層62dが島状ゲート電極61dの周囲に露出している。なお、63はp型層である。

〔0020〕図8は、上述の各実施の形態の平面の第3の例の概略を示す。図8において、前記第1の例と同様にメッシュ状ゲート71の各開孔部71a～71gに各n⁺型層72a～72g及び各p型層73a～73gが露出している。ただし、各開孔部71a～71gの配置が前記第1の例と異なる。なお、上述の各実施の形態において、p型層13、23、33、43及びn⁺型層14、24、34、44は、リング状に限定されず、凹部12a、22a、32a、42aの両側に別個に形成されたものでもよい。また、n型半導体領域（又は層）をp型半導体領域（又は層）とし、p型半導体領域（又は層）をn型半導体領域（又は層）としてもよい。

【0021】図9は、第6の実施の形態の断面構造を示す。第6の実施の形態は、請求項1に対応し、横型二重拡散MOSトランジスタを示す。図9において、n型半導体層81の表面からp型半導体領域82が拡散形成され、更に、n⁺型半導体領域83がp型半導体領域82の表面から拡散形成され、同時に他のn⁺型半導体領域84がn型半導体層81の表面から拡散形成されている。ゲート電極86が酸化膜85のうち薄いゲート酸化膜85aを介してn⁺型半導体層83の表面の図示右端、n型半導体層81の表面及びn⁺型半導体層84の表面の図示左端を被うように形成されている。ゲート電極86は、ドレイン側部分がp⁻型半導体層86bであり、その他の部分がp⁺型半導体層86aである。な

お、p型半導体層82の表面はチャネルとなる。ソース電極87がn⁺型半導体層83に接続され、ドレイン電極88がn⁺型半導体層84に接続されている。以上の構成により、ゲート電極86のうちドレイン側部分86bがゲート電極86の他の部分86aよりも導電率が低いので、ゲート電極86のうちドレイン側部分86bにおける電界集中を緩和できる。このため、薄いゲート酸化膜85aでもゲート86・ドレイン81、84間耐圧を向上させることができる。更に、ゲート酸化膜85aを薄くすると、オン抵抗を小さくすることができる。このため、低オン抵抗と高耐圧との両立が可能となる。

【0022】図10は、第7の実施の形態の断面構造を示す。第7の実施の形態は、請求項1、3、4に対応し、2ゲートタイプのものを示す。図10において、 n^+ 型ドレイン層91上に n 型ドリフト層92がエビタキシャル法により形成されている。更に、 p 型ボーダー層93が n 型ドリフト層92の表面側に拡散形成され、 n^+ 型ソース領域94a、94bが p 型ボーダー層93の表面から拡散形成されている。凹部（トレンチ）92a、92bが n^+ 型ソース領域94a、94b及び p 型ボーダー層93を貫通し、 n 型ドリフト層92の内部まで達するように形成されている。ゲート電極96が絶縁層95aを介して凹部92aを充填するように形成されている。なお、絶縁層95aはゲート電極96の図示上端も被っている。一方、ゲート電極97が絶縁層95bを介して凹部92aを充填するように形成されている。なお、絶縁層95bはゲート電極97の図示上端も被っている。ゲート電極96は、その上側部分の p^+ 型半導体領域96aとその下端部分の p^- 型半導体領域96bからなり、ゲート電極97は、その上側部分の p^+ 型半導体領域97aとその下端部分の p^- 型半導体領域97bからなる。ドレイン電極98が n^+ 型ドレイン層に接続され、ソース電極99が n^+ 型ソース領域94a、94b及び p 型ボーダー層93に接続されている。

【0023】以上の構成により、n⁺型ソース領域94a、94b及びゲート電極96、97に対してドレイン電極98がプラス側になるように電圧を印加すると、空乏層92cがn型ドリフト層92中に拡がり、空乏層93aがp型ボーダー93中に拡がり、空乏層96cがp⁻型半導体領域96b中に拡がり、空乏層97cがp⁻型半導体領域97b中に拡がる。このため、ゲート電極96、97の下端に電界が集中しないので、薄い絶縁層95a、95bでも高耐圧を実現することができる。したがって、ゲート酸化膜となる絶縁層95a、95bを薄くすることができるので、オン抵抗を低くすることができる。この結果、低オン抵抗と高耐圧の両立が可能となる。

【0024】図11は、第8の実施の形態の断面構造を示す。第8の実施の形態は、請求項2、3、5に対応し、ゲート電極にダイオード構造が付加されている場合

を示す。図11において、 n^+ 型ドレイン層101の上に n 型ドリフト層102がエピタキシャル法により形成されている。更に、 p 型ボーデー層103が n 型ドリフト層92の表面側に拡散形成され、 n^+ 型ソース領域104a、104bが p 型ボーデー層103の表面から拡散形成されている。凹部（トレンチ）102a、102bが n^+ 型ソース領域104a、104b、 p 型ボーデー層93及び n 型ドリフト層92を貫通し、 n^+ 型ドリフト層101にまで達するように形成されている。絶縁層105aが凹部102aの側壁及び後述するゲート電極106の上端を被うように形成され、絶縁層105bが凹部102bの側壁及び後述するゲート電極107の上端を被うように形成されている。ゲート電極106が凹部102aに充填され、ゲート電極107が凹部102bに充填されている。ゲート電極106は上側 n^+ 型半導体領域106a及び下側 p 型半導体領域106bからなり、ゲート電極107は上側 n^+ 型半導体領域107a及び下側 p 型半導体領域107bからなる。ドレイン電極108が n^+ 型ドレイン層101に接続され、ソース電極109が n^+ 型ソース領域104a、104b及び p 型ボーデー層103に接続されている。

【0025】以上の構成により、ゲート電極106と n^+ 型ドレイン層101との間に第1ダイオード（ p 型半導体領域106bと n^+ 型ドレイン層101による）が存在し、ゲート電極107と n^+ 型ドレイン層101との間に第2ダイオード（ p 型半導体領域107bと n^+ 型ドレイン層101による）が存在する。このため、ゲート電極106、107及びソース電極104a、104bに対してドレイン電極108の電位がプラス側になるように電圧を印加した場合、ドレイン電圧が異常に大きくなってしまっても、前記第1ダイオード及び第2ダイオードがパンチスルーするので、MOSトランジスタが破壊されることを防ぐことができる。このため、ゲート・ドレイン耐圧の向上を図ることができる。更に、ゲート酸化膜となる絶縁層105a、105bを薄くすることができるので、オン抵抗の低下を図ることができる。このため、低オン抵抗と高耐圧の両立を図ることができる。なお、この場合、第1ダイオード及び第2ダイオードをゲート電極106、107の位置に形成しているので、前記第1ダイオード及び第2ダイオードを形成したためにチップ面積が増大する事がない。

【0026】以上詳細に説明したように、本願の第1の発明に係わる電界効果型半導体装置によれば、ゲート電極のうちドレイン側部分における電界集中を緩和できるので、絶縁層としてのゲート酸化膜を薄くすることができ、オン抵抗の低下及びゲート・ドレイン間耐圧の向上を図ることができる。更に、第2の発明に係わる電界効果型半導体装置によれば、ゲート電極に形成したダイオードのパンチスルーにより電界効果型半導体装置の破壊

酸化膜を薄くすることができ、オン抵抗の低下及びゲート・ドレイン耐圧の向上を図ることができる。更に、第3の発明に係わる電界効果型半導体装置によれば、従来例のような寄生縦型接合トランジスタが形成されないとともに、トレンチ構造用凹部形成エッチングによるチャネルのダメージがないので、オン抵抗を小さくすることができる。更に、第4の発明に係わる電界効果型半導体装置によれば、上述の第3の発明による効果とともに、ゲート・ドレイン耐圧を向上できる。更に、第5の発明に係わる電界効果型半導体装置によれば、上述の第3の発明の効果とともに、ゲート電位の異常な上昇による電界効果型半導体装置の破壊を防ぐことができる。

【図面の簡単な説明】

【図1】本願発明の第1の実施の形態を示す断面図である。

【図2】第2の実施の形態を示す断面図である。

【図3】第3の実施の形態を示す断面図である。

【図4】第4の実施の形態を示す断面図である。

【図5】第5の実施の形態を示す断面図である。

【図6】前記各実施の形態の第1の平面例を説明する図である。

【図7】前記各実施の形態の第2の平面例を説明する図である。

【図8】前記各実施の形態の第3の平面例を説明する図である。

【図9】第6の実施の形態を示す断面図である。

【図10】第7の実施の形態を示す断面図である。

【図11】第8の実施の形態を示す断面図である。

【図12】一従来例を示す断面図である。

【図13】他の従来例を示す断面図である。

【符号の説明】

- 11、21、31、41 n^+ 型半導体基板
- 12、22、32、42 n^- 型層
- 12a、22a、32a、42a n^- 型層の凹部
- 13、23、33、43 p 型層
- 14、24、34、44 n^+ 型層
- 15、25、35、45 絶縁層
- 16、26、28、46 ゲート電極
- 26a 低抵抗ゲート電極
- 26b 高抵抗ゲート電極
- 28a p^+ 型半導体領域
- 28b p^- 型半導体領域
- 36a n^+ 型ゲート電極
- 36b p 型領域
- 81 n 型半導体層
- 82 p 型半導体領域
- 83、84 n^+ 型半導体領域
- 86 ゲート電極
- 86a p^+ 型半導体層

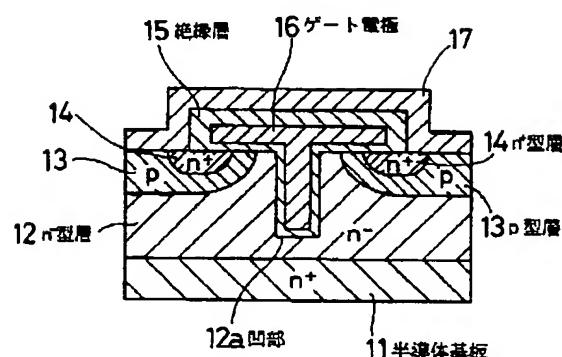
11

- 9 1 n⁺型ドレイン層
 9 2 n型ドリフト層
 9 2 a, 9 2 b 凹部
 9 3 p型ボーダー層
 9 4 a, 9 4 b n⁺型ソース領域
 9 5 a, 9 5 b 絶縁層
 9 6, 9 7 ゲート電極
 9 6 a, 9 7 a p⁺型半導体領域
 9 6 b, 9 7 b p⁻型半導体領域

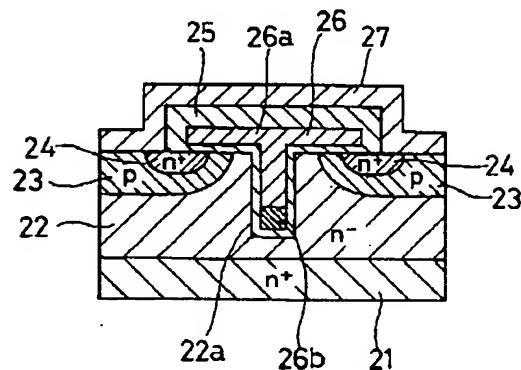
12

- 1 0 1 n⁺型ドレイン層
 1 0 2 n型ドリフト層
 1 0 2 a, 1 0 2 b 凹部
 1 0 3 p型ボーダー層
 1 0 4 a, 1 0 4 b n⁺型ソース領域
 1 0 5 a, 1 0 5 b 絶縁層
 1 0 6, 1 0 7 ゲート電極
 1 0 6 a, 1 0 7 a n⁺型半導体領域
 1 0 6 b, 1 0 7 b p型半導体領域

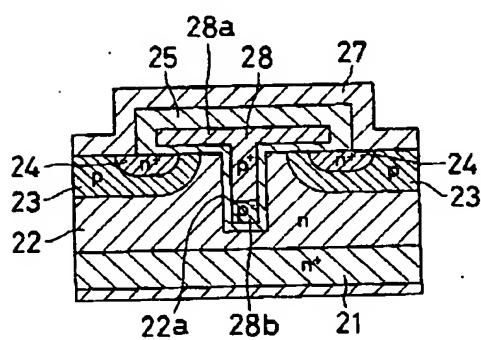
【図1】



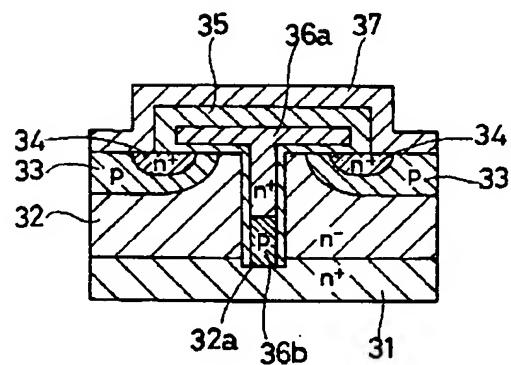
【図2】



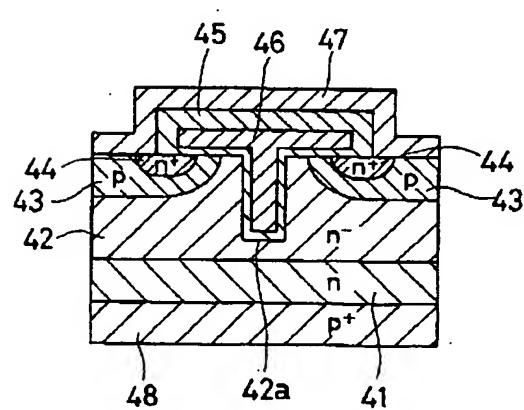
【図3】



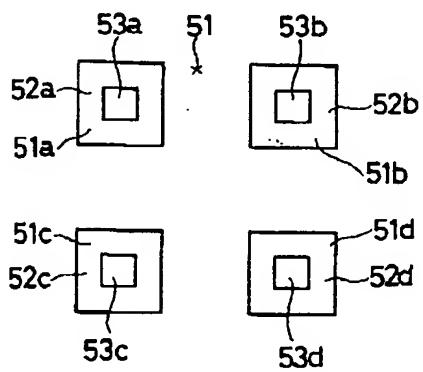
【図4】



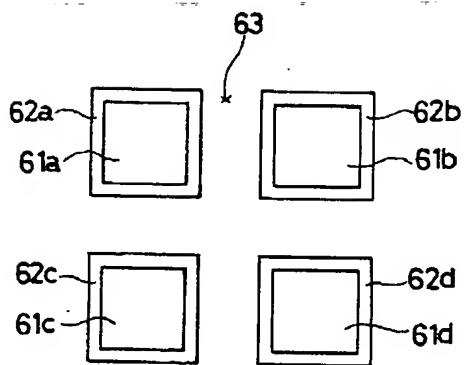
【図5】



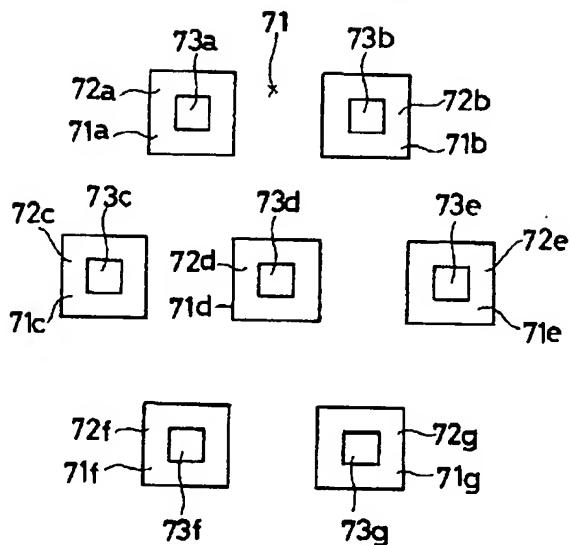
【図6】



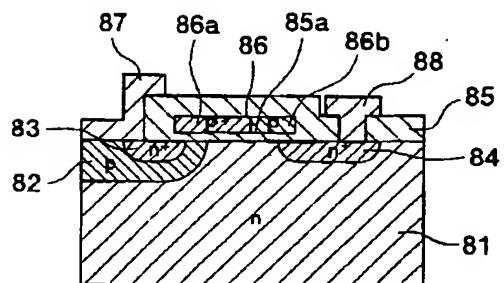
【図7】



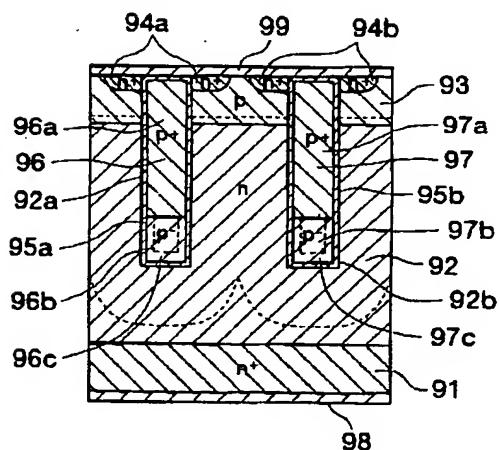
【図8】



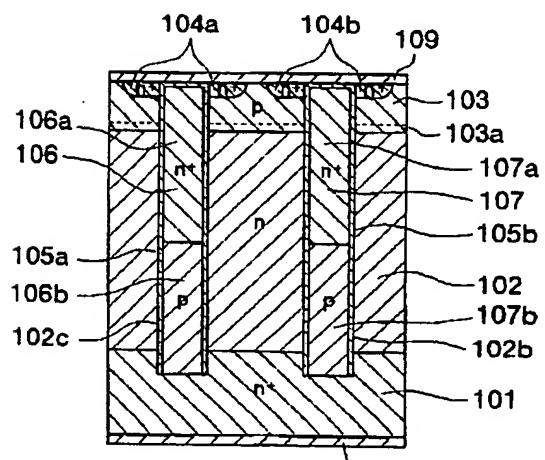
【図9】



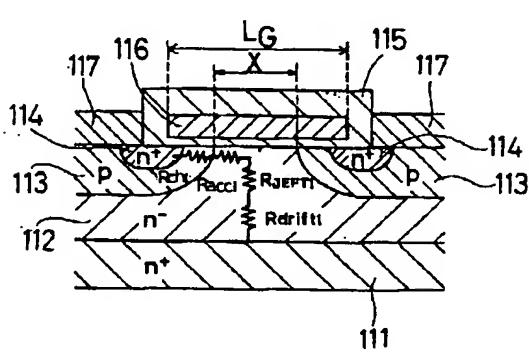
【図10】



【図11】



【図12】



【図13】

